

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

BYUNG-SEOP HONG, ET AL.

Application No.:

Filed:

For: **METHOD FOR RELEASING
STRESS DURING
SEMICONDUCTOR
DEVICEFABRICATION**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Republic of Korea	2002-86318	30 December 2002

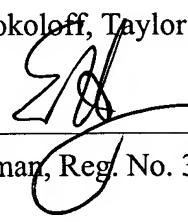
A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 8/7/03

12400 Wilshire Blvd., 7th Floor
Los Angeles, California 90025
Telephone: (310) 207-3800


Eric S. Hyman, Reg. No. 30,139

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0086318
Application Number

출원년월일 : 2002년 12월 30일
Date of Application

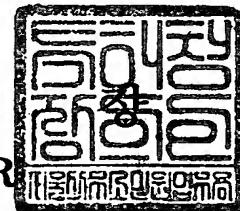
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 14 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0056
【제출일자】	2002.12.30
【발명의 명칭】	스트레스 제거를 위한 반도체 소자의 제조 방법
【발명의 영문명칭】	Method of fabrication semiconductor device for remove stress
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	홍병섭
【성명의 영문표기】	HONG, Byung Seop
【주민등록번호】	621011-1671028
【우편번호】	136-086
【주소】	서울특별시 성북구 보문동6가 441 아남아파트 101-1001
【국적】	KR
【발명자】	
【성명의 국문표기】	오재근
【성명의 영문표기】	OH, Jae Geun
【주민등록번호】	690823-1063317
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 386-72 현대5차아파트 504-1603
【국적】	KR

1020020086318

출력 일자: 2003/5/16

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
리인
성 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	7	면	7,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】			36,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

본 발명은 텅스텐막을 포함하는 게이트전극 형성후에 진행하는 선택산화 공정시 받은 스트레스를 제거하는데 적합한 반도체 소자의 제조 방법을 제공하기 위한 것으로, 본 발명의 선택산화 공정 진행후에 게이트실링질화막을 증착하는 로에서 인시튜 또는 엑시튜로 스트레스를 제거하기 위한 열처리를 실시한 후 바로 게이트실링질화막을 증착하거나, 선택산화 공정 진행후에 게이트실링질화막을 증착하고, 동일 로 또는 서로 다른 로에서 엑시튜로 스트레스를 제거하기 위한 열처리를 실시하므로써, 선택산화 공정시 받은 스트레스 및 게이트실링질화막 공정시 받은 스트레스를 제거하여 리프레시 타임을 향상 시킬 수 있다.

【대표도】

도 3

【색인어】

선택산화, 저압화학기상증착 로, 열처리 로, 인시튜, 엑시튜, 스트레스

【명세서】**【발명의 명칭】**

스트레스 제거를 위한 반도체 소자의 제조 방법{Method of fabrication semiconductor device for remove stress}

【도면의 간단한 설명】

도 1a은 종래 기술에 따른 텅스텐막을 포함하는 게이트전극을 구비한 반도체 소자의 제조 방법을 도시한 공정 흐름도,

도 1b는 도 1a에 따른 단면도,

도 2는 종래 기술의 공정 진행에 따른 스트레스 이력(stress history)을 도시한 도면,

도 3은 본 발명의 제1실시예에 따른 반도체 소자의 제조 방법을 도시한 공정 흐름도이다.

도 4는 본 발명의 제2실시예에 따른 반도체 소자의 제조 방법을 도시한 공정 흐름도,

도 5는 도 3 및 도 4의 게이트실링질화막의 증착 공정 순서도,

도 6은 본 발명의 제3실시예에 따른 반도체 소자의 제조 방법을 도시한 공정 흐름도,

도 7은 열처리 공정후 스트레스 변화를 도시한 도면.

표1은 종래 기술과 본 발명에 의한 리프레시타임 비교 결과.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 반도체소자의 제조 방법에 관한 것으로, 특히 텅스텐막을 포함하는 게이트전극을 구비한 반도체소자의 제조 방법에 관한 것이다.
- <11> 최근에는 게이트전극의 저항을 낮추기 위해 폴리실리콘막, 텅스텐질화막 및 텅스텐막의 적층 게이트 구조(W/WN/Polysilicon)를 사용하고 있다.
- <12> 그러나, 폴리실리콘막, 텅스텐질화막 및 텅스텐막의 적층 게이트 구조는 후속 H_2O 또는 O_2 를 이용한 높은 온도의 재산화 공정시 폴리실리콘막, 텅스텐질화막 및 텅스텐막의 계면반응 및 텅스텐막의 산화에 따른 급격한 부피 팽창, 파티클 발생 등의 문제가 발생한다. 여기서, 게이트산화막의 재산화 공정은 게이트전극 식각시 게이트산화막에 발생된 마이크로트렌치(microtrench) 및 손실을 회복시켜 주며, 실리콘기판에 잔류하는 폴리실리콘막 잔막을 산화시키며, 게이트전극의 에지에 있는 게이트산화막의 두께를 증가시켜서 신뢰성을 향상시키기 위한 목적으로 진행되고 있다.
- <13> 특히, 게이트전극의 에지쪽에 있는 산화막은 그 두께 및 막의 품질에 의해 핫캐리어 특성, 서브 문턱전압(sub-threshold voltage) 특성[누설전류, 게이트유도드레인누설(GIDL)], 펀치쓰루(punchthrough) 특성, 소자 동작 속도에 많은 영향을 미친다.
- <14> 그렇기 때문에 재산화공정은 필수적으로 진행되어야 한다.

- <15> 이를 극복하기 위해 개발된 공정이 선택 산화(Selective oxidation) 공정이다. 즉, 수소 부화(H_2 rich)의 산화 분위기(H_2O , H_2)에서 텅스텐막과 텅스텐질화막(W/WN)은 산화시키지 않고, 폴리실리콘막 및 실리콘기판만을 산화시키는 공정이다.
- <16> 이와 같은 선택산화 공정은 GIDL(Gate Induced Drain Leakage) 특성을 확보하기 위하여 반드시 필요한 게이트 버드빅(gate bird's beak)을 형성하기 위한 것이다.
- <17> 도 1a은 종래 기술에 따른 텅스텐막을 포함하는 게이트전극을 구비한 반도체 소자의 제조 방법을 도시한 공정 흐름도이고, 도 1b는 도 1a에 따른 단면도이다.
- <18> 도 1a에 도시된 바와 같이, 종래 기술은 크게 폴리실리콘막, 텅스텐질화막 및 텅스텐막의 순서로 적층된 게이트전극을 형성하는 게이트전극 패터닝 공정(S1), 급속열처리 방식의 선택산화 공정(S2), 게이트실링질화막 증착 공정(S3), 게이트스페이서산화막 증착 공정(S4), 층간절연막(BPSG) 증착 공정(S5), 소스/드레인의 활성화를 위한 급속열처리 공정(S6), 층간절연막(BPSG) 플로우를 위한 열처리 공정(S7)으로 구성된다.
- <19> 도 1b에 도시된 바와 같이, 먼저 필드산화막(FOX)이 형성된 반도체 기판(11) 상에 게이트산화막(12)을 성장시키고, 게이트산화막(12) 상에 폴리실리콘막(13), 텅스텐질화막(14), 텅스텐막(15) 및 하드마스크(16)를 차례로 증착한다. 다음에, 하드마스크(16), 텅스텐막(15), 텅스텐질화막(14) 및 폴리실리콘막(13)을 순차적으로 식각하여 게이트전극을 정의한다.
- <20> 다음에, 게이트 버드빅(17)을 형성하기 위하여 H_2O 분위기에서 선택 산화 공정을 실시한다. 이때, 폴리실리콘막(13)의 측면만 선택적으로 산화시켜 폴리실리콘막(13)의

양측벽에 실리콘산화막(18a)을 형성시키며, 아울러 반도체 기판(11)에도 실리콘산화막(18b)이 형성된다.

<21> 다음에, 텅스텐막이 후속 열공정에서 산화되는 것을 방지하기 위하여 게이트전극을 포함한 전면에 게이트실링질화막(gate sealing nitride, 19)을 형성한다.

<22> 그러나, 종래기술과 같은 반도체 소자는 데이터 리텐션 타임(Data retention time) 특성 저하의 문제점이 나타나고 있다. 이와 같은 문제점은 반도체 제조 공정중에 있는 많은 열처리중 급속열처리(RTP) 방식에 의한 열처리를 실시할 때 웨이퍼에 가해지는 급격한 열이력에 의하여 셀접합에 열적 스트레스(Thermal stress)에 의한 트랩(trap) 또는 결함(defect)이 유발되어 이들이 누설전류의 통로 역할을 하므로써 데이터리텐션타임의 감소로 리프레시 타임 오류(refresh time fail)를 초래한다.

<23> 특히, 도 1b와 같이, 폴리실리콘막, 텅스텐질화막 및 텅스텐막의 삼중막(W/WN/Polysilicon)의 게이트전극을 채용하는 DRAM 반도체소자에서 GIDL 특성을 확보하기 위하여 반드시 필요한 선택 산화 공정을 실시하는데, 이 선택 산화 공정의 열이력 방식이 급속열처리 방식에 의한 승온 및 강온의 열이력 방식을 채택하고 있어 이에 의해 반도체 기판에 열적 스트레스가 가해져 게이트채널이나 셀접합에 트랩사이트나 결함이 생성되어 이들을 통한 접합누설이 증가한다.

<24> 현재, $0.13\mu\text{m}$ 이하 기술 제품에서의 게이트전극 이후 공정 절차에서는 이 선택 산화 공정 이후에 받는 스트레스를 완화시켜주지 않고 바로 텅스텐막을 보호하는 목적의 게이트실링질화막 증착 및 후속 공정들을 진행하기 때문에, 열적 스트레스가 더 심해지고, 이로 인해 기판이 받는 스트레스 정도가 심해져 리프레스 열화가 심해진다.

<25> 도 2는 종래 기술의 공정 진행에 따른 스트레스 이력을 도시한 도면이다. 여기서, 가로좌표는 각 공정을 나타내고, 세로좌표는 스트레스를 나타내며, 그래프는 각각 게이트전극 모서리(gate edge), 스페이서 모서리(spacer edge), 필드산화막 상부 모서리(STI top corner) 및 필드산화막 하부 모서리(STI bottom corner) 등의 시편이 각 공정에 따라 받는 스트레스를 나타낸다.

<26> 도 2에 도시된 바와 같이, 필드산화막 형성을 위한 트렌치(trench) 공정 및 웰 어널링(well annealing) 공정에서 각 시편이 받는 스트레스보다도 게이트산화막 공정, 게이트전극 패터닝 과정 및 선택산화 공정에서 받는 스트레스가 더 높고, 충간절연막 플로우 공정에서 다소 스트레스가 감소하기 시작한다. 특히, 선택산화 공정에서 각 시편이 강하게 스트레스를 받고 있다(X).

<27> 따라서, 선택산화 공정에서 받는 스트레스를 완화 및 제거시켜주기 위한 방법이 필요하다.

【발명이 이루고자 하는 기술적 과제】

<28> 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 텅스텐막을 포함하는 게이트전극 형성후에 진행하는 선택산화 공정시 받은 스트레스를 제거하는데 적합한 반도체 소자의 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

- <29> 상기 목적을 달성하기 위한 본 발명의 반도체 소자의 제조 방법은 반도체 기판 상에 게이트산화막, 폴리실리콘막, 텅스텐막 및 하드마스크의 순서로 적층된 적층막을 형성하는 단계, 상기 적층막 중에서 상기 폴리실리콘막만을 선택적으로 산화시키는 선택산화 단계, 상기 선택산화시 받은 스트레스를 제거하기 위한 열처리 단계, 및 상기 열처리된 결과물 상에 게이트실링질화막을 형성하는 단계를 포함하는 것을 특징으로 한다. 바람직하게, 선택산화시 받은 스트레스를 제거하기 위한 열처리 단계는, 동일 저압화학기 상증착로에서 인시튜 또는 엑시튜 방식으로 이루어지며, 열처리 온도까지 승온시킨 후 열처리하고, 다시 증착온도까지 강온시킨 후 게이트실링질화막을 증착하는 것을 특징으로 하며, 열처리 온도는 $750^{\circ}\text{C} \sim 1000^{\circ}\text{C}$ 를 포함하고, 열처리 온도까지 서서히 올리는 승온속도는 분당 $3^{\circ}\text{C} \sim 25^{\circ}\text{C}$ 를 포함하고, 증착온도까지 서서히 내리는 강온속도는 분당 분당 $1^{\circ}\text{C} \sim 20^{\circ}\text{C}$ 를 포함하는 것을 특징으로 한다.
- <30> 또한, 본 발명의 반도체 소자의 제조 방법은 반도체 기판 상에 게이트산화막, 폴리실리콘막, 텅스텐막 및 하드마스크의 순서로 적층된 적층막을 형성하는 단계, 상기 적층막 중에서 상기 폴리실리콘막만을 선택적으로 산화시키는 선택산화 단계, 상기 선택산화된 결과물 상에 게이트실링질화막을 형성하는 단계, 및 상기 선택산화 및 상기 게이트실링질화막 형성시 받은 스트레스를 제거하기 위한 열처리 단계를 포함하는 것을 특징으로 한다. 바람직하게, 선택산화 및 상기 게이트실링질화막 형성시 받은 스트레스를 제거하기 위한 열처리 단계는, 동일로 또는 서로 다른로에서 엑시튜으로 이루어지며, 열처리온도까지 승온시킨 후 열처리하고, 다시 상온까지 강온시키는 것을 특징으로 하며, 열처리온도는 $750^{\circ}\text{C} \sim 1000^{\circ}\text{C}$ 를 포함하고, 열처리온도까지 서서히 올리는 승온속도는 분

당 3°C ~ 25°C를 포함하고, 언로드전 상온까지 서서히 내리는 강온속도는 분당 분당 1°C ~ 20°C를 포함하는 것을 특징으로 한다.

<31> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명한다.

<32> 도 3은 본 발명의 제1실시예에 따른 반도체 소자의 제조 방법을 도시한 공정 흐름 도이다.

<33> 도 3을 참조하면, 본 발명의 제1실시예는, 크게 폴리실리콘막, 텅스텐질화막 및 텅스텐막의 순서로 적층된 게이트전극을 형성하는 게이트전극 패터닝 공정(S11), 급속열처리(RTP) 방식의 선택산화 공정(S12), 저압화학기상증착 로에서의 진공 열처리 공정(S13), 게이트실링질화막 증착 공정(S14), 게이트스페이서산화막 증착 공정(S15), 충간 절연막(BPSG) 증착 공정(S16), 소스/드레인의 활성화를 위한 급속열처리 공정(S17), 충간절연막(BPSG) 플로우를 위한 열처리 공정(18)으로 구성된다. 여기서, 저압화학기상증착 로에서의 진공 열처리 공정(S13)과 게이트실링질화막 증착 공정(S14)은 인시튜(in-situ) 방식으로 진행한다.

<34> 도 3에 도시된 것처럼, 급속열처리 방식의 선택산화 공정(S12)후에 바로 저압화학기상증착 로에서의 진공 열처리 공정(S13)을 진행하여 선택산화 공정(S12)시에 급속열처리 방식에 의해 유발되는 스트레스를 제거하고, 아울러 게이트산화막 하부의 반도체 기판의 셀접합에 생성된 트랩 또는 결함을 큐어링시킨다.

- <35> 다음으로 후속 공정에서 텅스텐막이 이상산화되는 것을 방지하기 위한 게이트실링 질화막 증착 공정(S14)을 진행하는데, 이때, 저압화학기상증착로에서의 진공 열처리 공정(S13)시의 저압화학기상증착로에서 인시튜 방식으로 게이트실링질화막을 증착한다. 예컨대, 저압화학기상증착로에서의 진공 열처리 공정(S13)시 열처리 온도를 게이트실링 질화막을 증착하기 위한 온도로 서서히 내린 후에 게이트실링질화막을 인시튜로 증착한다.
- <36> 결국, 저압화학기상증착로에서의 진공 열처리 공정(S13)과 게이트실링질화막 증착 공정(S14)을 인시튜 방식으로 진행하여, 즉 저압화학기상증착로에서 진공분위기하, 750°C 이상의 고온까지 낮은 승온속도로 온도를 올렸다 내리면서 스트레스에 의하여 왜곡된 반도체 기판의 상태를 회복시켜 선택산화 공정(S12)시에 받은 스트레스에 의해 생성된 트랩이나 결함을 큐어링해주므로써 접합의 누설경로를 제거하는 것이다.
- <37> 도 3과 같은 반도체 소자 제조 공정에서, 저압화학기상증착로에서의 진공 열처리 공정(S13)을 고온, 상압, 질소분위기에서 장시간 실시하므로써 질소 가스에 함유된 불순물과 상압하에서 잔조하는 산소 성분에 의하여 유발될 수 있는 텅스텐막의 이상산화를 방지하고, 게이트실링질화막 증착시 인시튜 진공 열처리가 가능하여 공정 단순화의 장점도 갖는다.
- <38> 바람직하게, 열처리 공정과 게이트실링질화막 증착 공정의 인시튜 방식은, 선택산화 공정을 거친 반도체 기판을 저압화학기상증착로로 로드한 후, 저압화학기상증착로의 온도를 상온으로부터 열처리 온도까지 서서히 올리면서 진공분위기에서 열처리하고, 저압화학기상증착로의 온도를 열처리 온도로부터 증착온도까지 서서히 내리면서 게이트실링질화막을 증착하고, 저압화학기상증착로의 온도를 상온으로 내린후에 반도체 기판

을 언로드한다. 이때, 열처리 온도는 $750^{\circ}\text{C} \sim 1000^{\circ}\text{C}$ 를 포함하고, 진공분위기는 10^{-3}torr $\sim 10^{-2}\text{torr}$ 를 포함하며, 열처리 온도까지 서서히 올리는 승온속도는 분당 $3^{\circ}\text{C} \sim 25^{\circ}\text{C}$ 를 포함하고, 증착온도까지 서서히 내리는 강온속도는 분당 분당 $1^{\circ}\text{C} \sim 20^{\circ}\text{C}$ 를 포함하며, 열처리 시간은 10분~240분의 범위이다.

<39> 도 4는 본 발명의 제2실시예에 따른 반도체 소자의 제조 방법을 도시한 공정 흐름 도이다.

<40> 도 4를 참조하면, 본 발명의 제2실시예는, 크게 폴리실리콘막, 텅스텐질화막 및 텅스텐막의 순서로 적층된 게이트전극을 형성하는 게이트전극 패터닝 공정(S21), 급속열처리 방식의 선택산화 공정(S22), 저압 화학기상증착 로(LP CVD furnace)에서의 진공 열처리 공정(S23), 저압 화학기상증착 로에서의 게이트실링질화막 증착 공정(S24), 게이트스페이서산화막 증착 공정(S25), 층간절연막(BPSG) 증착 공정(S26), 소스/드레인의 활성화를 위한 급속열처리 공정(S27), 층간절연막(BPSG) 플로우를 위한 열처리 공정(28)으로 구성된다. 여기서, 저압화학기상증착 로에서의 진공 열처리 공정(S23)과 게이트실링질화막 증착 공정(S24)은 엑시튜(ex-situ) 방식으로 진행한다.

<41> 도 4에 도시된 것처럼, 급속열처리 방식의 선택산화 공정(S22)후에 저압화학기상증착 로에서의 진공 열처리 공정(S23)을 진행하여 선택산화 공정(S22)시에 급속열처리 방식에 의해 유발되는 스트레스를 제거하고, 아울러 게이트산화막 하부의 반도체 기판의 셀접합에 생성된 트랩 또는 결함을 큐어링시킨다.

- <42> 다음으로 후속 공정에서 텅스텐막이 이상산화되는 것을 방지하기 위한 게이트실링 질화막 증착 공정(S14)을 동일 저압화학기상증착로 또는 서로 다른 저압화학기상증착로에서 엑시튜 방식으로 진행한다.
- <43> 바람직하게, 엑시튜 방식은, 선택산화 단계를 거친 반도체 기판을 제1저압화학기상증착로로 로드한 후, 제1저압화학기상증착로의 온도를 상온으로부터 열처리 온도까지 서서히 올리면서 진공분위기에서 열처리하고, 제1저압화학기상증착로의 온도를 열처리 온도로부터 상온으로 내린후에 반도체 기판을 언로드하며, 다음에, 언로드된 반도체 기판을 다시 제1저압화학기상증착로 또는 제2저압화학기상증착로로 로드하여 게이트실링 질화막을 증착한다. 이때, 열처리 온도는 $750^{\circ}\text{C} \sim 1000^{\circ}\text{C}$ 를 포함하고, 진공분위기는 $10^{-3}\text{torr} \sim 10^{-2}\text{torr}$ 를 포함하며, 열처리 온도까지 서서히 올리는 승온속도는 분당 $3^{\circ}\text{C} \sim 25^{\circ}\text{C}$ 를 포함하고, 증착온도까지 서서히 내리는 강온속도는 분당 분당 $1^{\circ}\text{C} \sim 20^{\circ}\text{C}$ 를 포함한다. 그리고, 열처리 시간은 10분~240분의 범위이다.
- <44> 도 5는 도 3 및 도 4의 게이트실링질화막의 증착 공정 순서도이다.
- <45> 도 5에 도시된 바와 같이, 저압화학기상증착로에 반도체 기판을 로드(load)한 후, 서서히 온도를 올려 열처리한 후, 다시 온도를 내려 게이트실링질화막을 증착하고, 온도를 로드시 온도로 내린 후 언로드(unload)한다. 이때, 게이트실링질화막을 증착하기 전 분위기는 진공을 유지한다.
- <46> 도 6은 본 발명의 제3실시예에 따른 반도체 소자의 제조 방법을 도시한 공정 흐름도이다.

<47> 도 6을 참조하면, 본 발명의 제1실시예는, 크게 폴리실리콘막, 텅스텐질화막 및 텅스텐막의 순서로 적층된 게이트전극을 형성하는 게이트전극 패터닝 공정(S31), 급속열처리 방식의 선택산화 공정(S32), 게이트실링질화막 증착 공정(S33), 저압화학기상증착 로 또는 어닐링 로에서의 열처리 공정(S34), 게이트스페이서산화막 증착 공정(S35), 층간 절연막(BPSG) 증착 공정(S36), 소스/드레인의 활성화를 위한 급속열처리 공정(S37), 층간절연막(BPSG) 플로우를 위한 열처리 공정(38)으로 구성된다.

<48> 도 6에 도시된 것처럼, 제1실시예 및 제2실시예와 달리, 게이트실링질화막 증착 공정을 진행한 후에, 스트레스를 제거하기 위한 저압화학기상증착 로 또는 어닐링 로에서의 열처리 공정(S34)을 진행한다. 이와 같이, 게이트실링질화막 증착 공정(S33)을 진행한 후에, 스트레스를 제거하기 위한 열처리 공정을 진행하면, 선택산화공정(S32)시에 받은 스트레스는 물론 게이트실링질화막 증착 공정(S33)시에 받은 스트레스까지도 제거한다.

<49> 예컨대, 게이트실링질화막 증착후에 진행하는 열처리 공정은 저압화학기상증착 로 또는 열처리 로(A anneal furnace)에서 진공(vacuum) 또는 질소 및 비활성가스 분위기에서 750°C 이상의 고온까지 서서히 승온한 후 열처리한 다음, 다시 상온까지 서서히 온도를 내린다. 이때, 게이트실링질화막 증착 공정(S33)과 열처리 공정(S34)은 동일 로 또는 서로 다른 로에서 엑시튜 방식으로 이루어진다.

<50> 바람직하게, 게이트실링질화막 증착 공정(S33)과 열처리 공정(S34)의 엑시튜 방식의 제1방법은, 제1저압화학기상증착 로에서 상기 게이트실링질화막을 증착한 후, 게이트 실링질화막이 증착된 반도체 기판을 제2저압화학기상증착 로로 로드하고, 제2저압화학기상증착 로의 온도를 상온으로부터 열처리 온도까지 서서히 올리면서 진공분위기에서 열

처리한 후, 제2저압화학기상증착 로의 온도를 열처리 온도로부터 상온으로 내린후에 반도체 기판을 언로드한다. 그리고, 엑시튜 방식의 제2방법은 저압화학기상증착 로에서 상기 게이트실링질화막을 증착하고, 게이트실링질화막이 증착된 반도체 기판을 열처리 로로 로드한 후, 열처리 로의 온도를 상온으로부터 열처리 온도까지 서서히 올리면서 진공분위기에서 열처리하고, 열처리 로의 온도를 열처리 온도로부터 상온으로 내린후에 반도체 기판을 언로드한다.

<51> 위와 같은 엑시튜 방식의 제1,2 방법시, 열처리 온도는 $750^{\circ}\text{C} \sim 1000^{\circ}\text{C}$ 를 포함하고, 진공분위기는 $10^{-3}\text{torr} \sim 10^{-2}\text{torr}$ 를 포함하며, 열처리 온도까지 서서히 올리는 승온속도는 분당 $3^{\circ}\text{C} \sim 25^{\circ}\text{C}$ 를 포함하고, 언로드전까지 서서히 내리는 강온속도는 분당 $1^{\circ}\text{C} \sim 20^{\circ}\text{C}$ 를 포함한다. 그리고, 열처리 시간은 10분~240분의 범위이다.

<52> 도 7은 열처리 공정후 스트레스 변화를 도시한 도면이다. 세로 좌표는 스트레스를 나타내고, 가로 좌표는 게이트전극 모서리(gate edge), 스페이서 모서리(spacer edge), 필드산화막 상부 모서리(STI top corner) 및 필드산화막 하부 모서리(STI bottom corner) 등의 시편을 나타낸다.

<53> 도 7에 도시된 바와 같이, 선택산화 공정후에 스트레스 제거를 위한 열처리 공정을 진행하지 않은 베이스의 경우에 비해, 게이트실링질화막 증착전 로 열처리, 게이트실링질화막 증착후 로 열처리, 게이트실링질화막 증착전후 로 열처리를 진행한 경우가 게이트전극 모서리, 스페이서 모서리, 필드산화막 상부 모서리 및 필드산화막 하부 모서리에서 스트레스가 감소함을 알 수 있다.

<54> 다음의 표1은 종래 기술과 본 발명에 의한 리프레시 타임을 비교한 결과를 나타낸 것이다.

<55> 【표 1】

	250ms(tREF)
종래기술	89.2
진공 열처리 30초	91.3
진공 열처리 60초	92.1

<56> 표1에 따르면, 진공 열처리를 추가함에 따라 리프레시 타임(tREF)이 향상되는 효과를 얻고, 진공 열처리시 시간이 길수록 그 효과가 더 큼을 알 수 있다.

<57> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<58> 상술한 바와 같은 본 발명은 선택산화 공정시에 받은 스트레스를 게이트실링질화막 증착전 또는 증착후에 제거해주므로써 셀접합에서의 누설전류를 감소시켜 소자의 데이터리텐션 능력을 극대화하고 리프레시 타임을 향상시켜 소자의 특성 및 수율을 증대시킬 수 있는 효과가 있다.

<59> 또한, 스트레스를 제거하기 위한 열처리 공정으로 인시튜 방식을 채택하므로써 게이트전극 시트저항 및 셀콘택저항의 개선이 수반되어 반도체 소자의 속도 특성을 향상시킬 수 있는 효과가 있다.

<60> 또한, 신규 장비의 투자 및 공정수의 증가없이 소자특성을 개선시키므로 비용을 절감할 수 있는 효과가 있다.

【특허 청구범위】**【청구항 1】**

반도체 기판 상에 게이트산화막, 폴리실리콘막, 텅스텐막 및 하드마스크의 순서로
적층된 적층막을 형성하는 단계;
상기 적층막 중에서 상기 폴리실리콘막만을 선택적으로 산화시키는 선택산화 단계
;
상기 선택산화시 받은 스트레스를 제거하기 위한 열처리 단계; 및
상기 열처리된 결과물 상에 게이트실링질화막을 형성하는 단계
를 포함하는 반도체 소자의 제조 방법.

【청구항 2】

제1항에 있어서,
상기 열처리 단계와 상기 상기 게이트실링질화막을 형성하는 단계는,
동일 저압화학기상증착 로에서 인시튜 방식으로 이루어지는 것을 특징으로 하는 반
도체 소자의 제조 방법.

【청구항 3】

제2항에 있어서,
상기 인시튜 방식은,

상기 선택산화 단계를 거친 상기 반도체 기판을 상기 저압화학기상증착 로로 로드하는 단계;

상기 저압화학기상증착 로의 온도를 상온으로부터 열처리 온도까지 서서히 올리면서 진공분위기에서 열처리하는 단계;

상기 저압화학기상증착 로의 온도를 상기 열처리 온도로부터 증착온도까지 서서히 내리면서 상기 게이트실링질화막을 증착하는 단계; 및

상기 저압화학기상증착 로의 온도를 상온으로 내린후에 상기 반도체 기판을 언로드하는 단계

를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 4】

제3항에 있어서,

상기 열처리 온도는 $750^{\circ}\text{C} \sim 1000^{\circ}\text{C}$ 를 포함하고, 상기 진공분위기는 $10^{-3}\text{torr} \sim 10^{-2}\text{torr}$ 를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 5】

제3항에 있어서,

상기 열처리 온도까지 서서히 올리는 승온속도는 분당 $3^{\circ}\text{C} \sim 25^{\circ}\text{C}$ 를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 6】

제3항에 있어서,
상기 증착온도까지 서서히 내리는 강온속도는 분당 분당 $1^{\circ}\text{C} \sim 20^{\circ}\text{C}$ 를 포함하는 것
을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 7】

제3항에 있어서,
상기 열처리는,
10분~240분동안 실시하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 8】

제1항에 있어서,
상기 열처리 단계와 상기 상기 게이트실링질화막을 형성하는 단계는,
동일 저압화학기상증착로 또는 서로 다른 저압화학기상증착로에서 엑시튜 방식으
로 이루어지는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 9】

제8항에 있어서,
상기 엑시튜 방식은,

상기 선택산화 단계를 거친 상기 반도체 기판을 제1저압화학기상증착 로로 로드하는 단계;

상기 제1저압화학기상증착 로의 온도를 상온으로부터 열처리 온도까지 서서히 올리면서 진공분위기에서 열처리하는 단계;

상기 제1저압화학기상증착 로의 온도를 상기 열처리 온도로부터 상온으로 내린 후에 상기 반도체 기판을 언로드하는 단계; 및

상기 언로드된 반도체 기판을 다시 제1저압화학기상증착 로 또는 제2저압화학기상증착 로로 로드하여 상기 게이트실링질화막을 증착하는 단계
를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 10】

제9항에 있어서,

상기 열처리 온도는 $750^{\circ}\text{C} \sim 1000^{\circ}\text{C}$ 를 포함하고, 상기 진공분위기는 $10^{-3}\text{torr} \sim 10^{-2}\text{torr}$ 를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 11】

제9항에 있어서,

상기 열처리 온도까지 서서히 올리는 승온속도는 분당 $3^{\circ}\text{C} \sim 25^{\circ}\text{C}$ 를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 12】

제9항에 있어서,

상기 증착온도까지 서서히 내리는 강온속도는 분당 분당 $1^{\circ}\text{C} \sim 20^{\circ}\text{C}$ 를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 13】

제9항에 있어서,

상기 열처리는,

10분~240분동안 실시하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 14】

반도체 기판 상에 게이트산화막, 폴리실리콘막, 텅스텐막 및 하드마스크의 순서로 적층된 적층막을 형성하는 단계;

상기 적층막 중에서 상기 폴리실리콘막만을 선택적으로 산화시키는 선택산화 단계;

;

상기 선택산화된 결과물 상에 게이트실링질화막을 형성하는 단계; 및

상기 선택산화 및 상기 게이트실링질화막 형성시 받은 스트레스를 제거하기 위한 열처리 단계

를 포함하는 반도체 소자의 제조 방법.

【청구항 15】

제14항에 있어서,

상기 게이트실링질화막을 형성하는 단계와 상기 열처리 단계는,

동일 로 또는 서로 다른 로에서 엑시튜 방식으로 이루어지는 것을 특징으로 하는

반도체 소자의 제조 방법.

【청구항 16】

제15항에 있어서,

상기 엑시튜 방식은,

제1저압화학기상증착 로에서 상기 게이트실링질화막을 증착하는 단계; 및

상기 게이트실링질화막이 증착된 상기 반도체 기판을 제2저압화학기상증착 로로

로드하는 단계;

상기 제2저압화학기상증착 로의 온도를 상온으로부터 열처리 온도까지 서서히 올리면서 진공 또는 비활성 분위기에서 열처리하는 단계;

상기 제2저압화학기상증착 로의 온도를 상기 열처리 온도로부터 상온으로 내린 후에 상기 반도체 기판을 언로드하는 단계

를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 17】

제15항에 있어서,

상기 엑시튜 방식은,
저압화학기상증착 로에서 상기 게이트실링질화막을 증착하는 단계; 및
상기 게이트실링질화막이 증착된 상기 반도체 기판을 열처리 로로 로드하는 단계;
상기 열처리 로의 온도를 상온으로부터 열처리 온도까지 서서히 올리면서 진공 또
는 비활성분위기에서 열처리하는 단계;
상기 열처리 로의 온도를 상기 열처리 온도로부터 상온으로 내린후에 상기 반도체
기판을 언로드하는 단계
를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법

【청구항 18】

제16항 또는 제17항에 있어서,
상기 열처리 온도는 $750^{\circ}\text{C} \sim 1000^{\circ}\text{C}$ 를 포함하고, 상기 진공 분위기는
 $10^{-3}\text{torr} \sim 10^{-2}\text{torr}$ 를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 19】

제16항 또는 제17항에 있어서,
상기 열처리 온도까지 서서히 올리는 승온속도는 분당 $3^{\circ}\text{C} \sim 25^{\circ}\text{C}$ 를 포함하는 것을
특징으로 하는 반도체 소자의 제조 방법.

【청구항 20】

제16항 또는 제17항에 있어서,

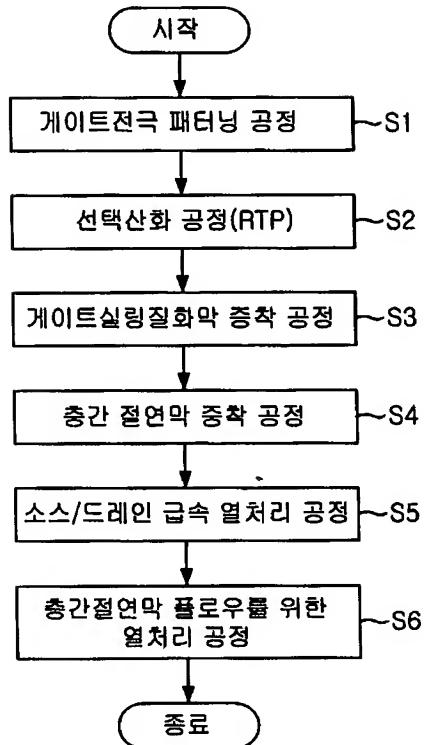
1020020086318

출력 일자: 2003/5/16

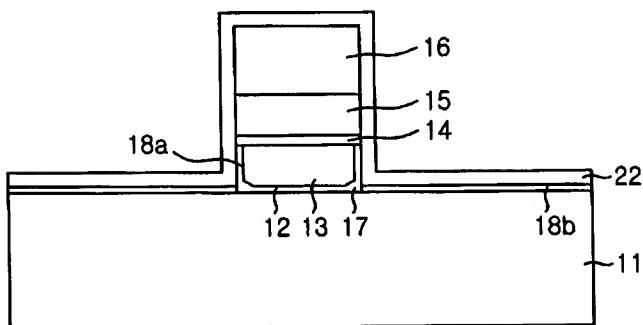
상기 언로드전까지 서서히 내리는 강온속도는 분당 $1^{\circ}\text{C} \sim 20^{\circ}\text{C}$ 를 포함하는 것을 특
징으로 하는 반도체 소자의 제조 방법.

【도면】

【도 1a】



【도 1b】

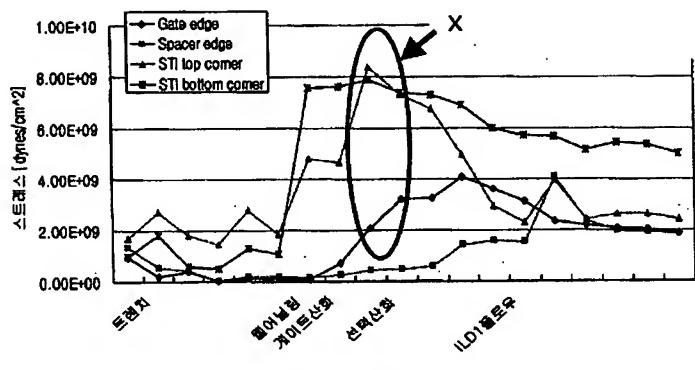




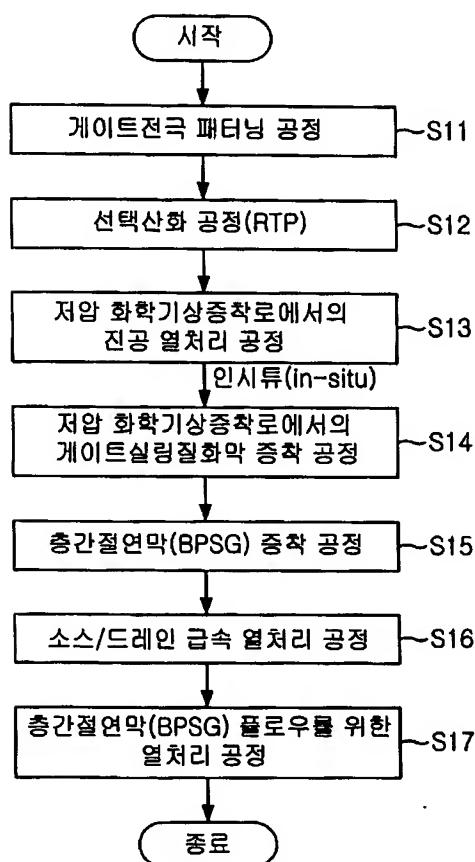
1020020086318

출력 일자: 2003/5/16

【도 2】



【도 3】

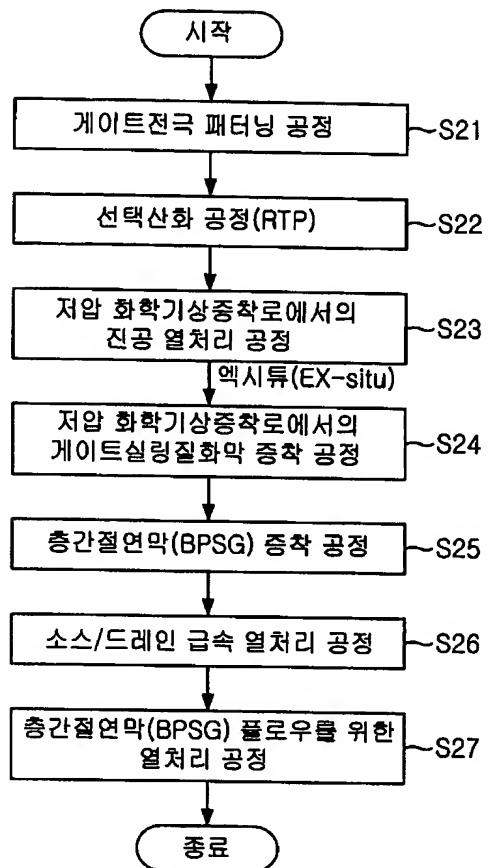




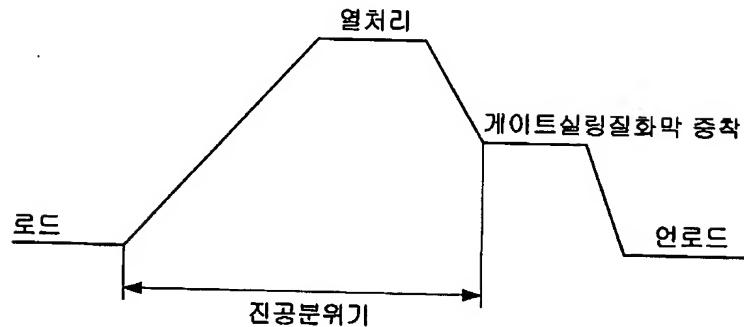
1020020086318

출력 일자: 2003/5/16

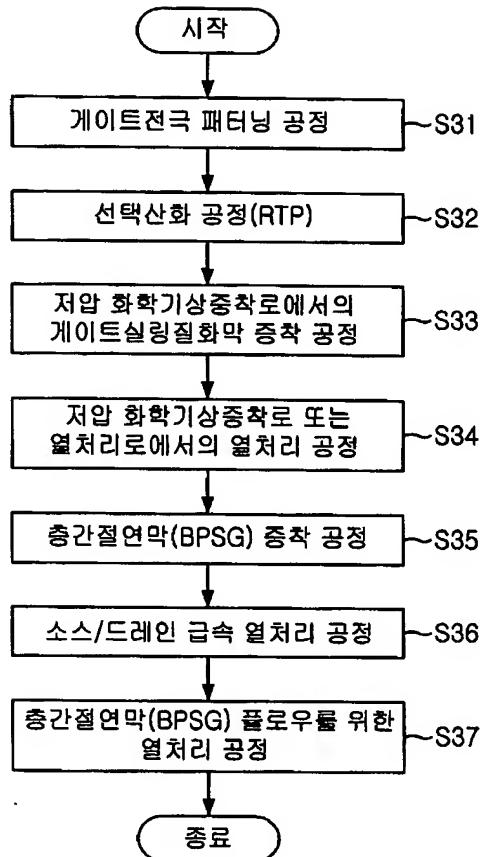
【도 4】



【도 5】



【도 6】



【도 7】

